

Hashimoto, K.

DERWENT-AGE NO: 1994-352732

DERWENT-WEEK: 199444

COPYRIGHT 2006 DERWENT INFORMATION LTD

TITLE: Multi-chip semiconductor device exhibiting improved vibration and heat-proofing - uses buffer member of different characteristics in different directions and prepares concave part in module plate

PATENT-ASSIGNEE: NEC CORP [NIDE]

PRIORITY-DATA: 1993JP-0081102 (March 17, 1993)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE
PAGES MAIN-IPC		
JP 06275775 A	September 30, 1994	N/A
005 H01L 025/10		

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO
APPL-DATE		
JP 06275775A	N/A	1993JP-0081102
March 17, 1993		

INT-CL (IPC): H01L025/10, H01L025/11, H01L025/18

ABSTRACTED-PUB-NO: JP 06275775A

BASIC-ABSTRACT:

The multi chip semiconductor consists of electric connection of pattern (13) for connecting the semiconductor element (1) in the module plate (11) which is carried out in the shape of a board. The unit (20) has the pattern for connection (13, 14). The multi chip semiconductor device consists of a buffer member (21) of anisotropy conductivity which carries semiconductor element in the module plate. The buffer member is placed by the two side faces between

the unit which is connected to the semiconductor element. Two or more units are layered and the buffer member is placed to form the structure layer between each unit. The electric connection of pattern for each connection mutually between each unit and semiconductor element is carried out.

USEDVANTAGE - For multilayered semiconductor and high density element.

Improves vibration proof and heat proof nature. Raises packing density of semiconductor element.

CHOSEN-DRAWING: Dwg.1/5

TITLE-TERMS: MULTI CHIP SEMICONDUCTOR DEVICE EXHIBIT IMPROVE VIBRATION HEAT

PROOF BUFFER MEMBER CHARACTERISTIC DIRECTION PREPARATION CONCAVE PART MODULE PLATE

DERWENT-CLASS: U11 V04

EPI-CODES: U11-D01; U11-D03C3; V04-Q02A2;

SECONDARY-ACC-NO:

Non-CPI Secondary Accession Numbers: N1994-276969

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-275775

(43)公開日 平成6年(1994)9月30日

(51)Int.Cl.⁵

H 01 L 25/10
25/11
25/18
25/00

識別記号

府内整理番号

F I

技術表示箇所

A

H 01 L 25/14

Z

審査請求 有 請求項の数3 FD (全5頁)

(21)出願番号

特願平5-81102

(22)出願日

平成5年(1993)3月17日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 橋本 克正

東京都港区芝五丁目7番1号 日本電気株
式会社内

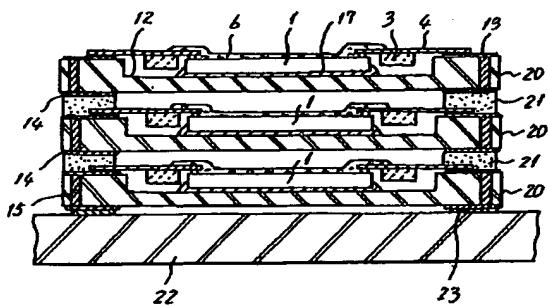
(74)代理人 弁理士 鈴木 章夫

(54)【発明の名称】 半導体装置

(57)【要約】

【目的】 半導体素子の実装密度を高めるとともに、耐振動性を改善し、かつ耐熱性を改善して宇宙搭載機器への採用を可能にした半導体装置を得る。

【構成】 板状をしたモジュールプレート11に半導体素子1を搭載し、その表裏面に半導体素子に接続された接続用パターン13、14を有する単位ユニット20と、これら接続用パターン13、14を相互に電気接続する異方性導電性の緩衝部材21とで構成される。複数個の単位ユニット20を積層し、かつ各単位ユニット20間に異方性導電性の緩衝部材21を介して積層構造とすることで、半導体素子1の実装密度を高め、かつ緩衝部材21により振動を吸収して耐振動性を改善する。また、半導体素子1の熱をモジュールプレート11を通して放熱し、耐熱性を改善する。



1

【特許請求の範囲】

【請求項1】 板状をしたモジュールプレートに半導体素子を搭載し、その表裏面に前記半導体素子に接続された接続用パターンを有する単位ユニットと、複数の単位ユニット間に介挿されて前記接続用パターンを相互に電気接続する異方性導電性の緩衝部材とを備えることを特徴とする半導体装置。

【請求項2】 モジュールプレートは矩形の板状に形成され、その周辺部の表裏面にはスルーホールにより相互に接続された接続用パターンを有し、かつ中央部には凹部を有し、半導体素子はテープに支持されたリードに搭載され、かつ前記凹部に内装された状態でリードを前記接続用パターンに接続してなる請求項1の半導体装置。

【請求項3】 異方性導電性の緩衝部材は、異方性導電性樹脂又は異方性導電性ゴムで構成され、単位ユニット間での衝撃、振動を吸収する請求項1又は2の半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体素子を積層して高密度大容量化したマルチチップ半導体装置に関し、特に耐振動性と耐熱性が要求される宇宙搭載機器に適用される半導体装置に関する。

【0002】

【従来の技術】 近年、半導体装置の高密度大容量化を図るために、複数の半導体素子を厚さ方向に積層した半導体装置が提案されている。例えば、特開平2-198148号公報に記載されたものは、図5に示すように、半導体素子31をTAB(テープ・オートメイティド・ボンディング)テープ32に搭載してTAB装置30を形成するとともに、このTAB装置30と略厚さ寸法が等しい厚さで方形棒状に形成したコネクタ33内にTAB装置30を搭載する。そして、このTAB装置30を搭載した複数個のコネクタ33を積層し、かつ上下のコネクタ33の周辺部の表裏面に設けた導電体34を相互的に接続することで、各半導体素子31間での電気接続を行い、所要の回路を構築する構成とされている。このような構成を例えば、マザーボード22に搭載し、接続用パターン23に導電体34を接続することにより、複数の半導体素子を実装して半導体装置を構成するマザーボードにおける半導体素子の占有面積を低減し、半導体装置の高密度化、大容量化を実現することができる。また、コネクタを用いることにより、積層する半導体素子の相互干渉を防止し、かつ半導体素子間の電気接続を任意に行うことが可能となる。

【0003】

【発明が解決しようとする課題】 図5に示した半導体装置では、TAB装置30を搭載した複数のコネクタ33を積層するとともに、その周辺部の導電体34を接続して電気接続を行っているために、積層した複数のコネクタ33が一体的に構成されることになり、半導体装置の全体が剛体構造となる。このため、このような半導体装置を宇宙搭載機器に用いた場合には、機器に加えられる衝撃がそのままコネクタ33に伝達され、コネクタを相互に電気接続する導電体34の部分を破損してしまうおそれがある。また、衝撃に伴う振動がコネクタ33を介してTAB装置30内に伝達され、半導体素子31を損傷させ、或いは半導体素子31とTABテープ32との接続部分を損傷させるおそれもある。また、前記半導体装置では、コネクタ33を棒状に形成し、その棒内にTAB装置30を搭載しているため、半導体装置の全体高さを小さくできるものの、積層される半導体素子31が相互に対向配置されることになり、各半導体素子31で発生された熱が相互に影響を及ぼし合い、かつその熱がコネクタ33の内部に籠もって放熱効果が低くなり、半導体素子の耐熱性を劣化させるおそれもある。本発明の目的は、耐振動性を改善し、かつ耐熱性を改善して宇宙搭載機器への採用を可能にした半導体装置を提供することにある。

【0004】

【課題を解決するための手段】 本発明は、板状をしたモジュールプレートに半導体素子を搭載し、その表裏面に半導体素子に接続された接続用パターンを有する単位ユニットと、複数の単位ユニット間に介挿されて各単位ユニットの接続用パターンを相互に電気接続する異方性導電性の緩衝部材とで構成される。ここで、モジュールプレートは矩形の板状に形成され、その周辺部の表裏面にはスルーホールにより相互に接続された接続用パターンを有し、かつ中央部には凹部を有し、半導体素子はテープに支持されたリードに搭載され、かつモジュールプレートの凹部に内装された状態でリードをその接続用パターンに接続する。また、異方性導電性の緩衝部材は、異方性導電性樹脂又は異方性導電性ゴムで構成され、単位ユニット間での衝撃、振動を吸収する。

【0005】

【実施例】 次に、本発明について図面を参照して説明する。図1は本発明の一実施例にかかる単位ユニットの1つを示す部分分解斜視図であり、図2はその組立状態の平面図と断面図である。これらの図において、ここでは、実装される半導体素子として例えばペアチップ構成のメモリデバイスが用いられており、この半導体素子1はTABテープ2に搭載されてTAB装置10として構成されている。TABテープ2はポリイミド樹脂からなるフィルムキャリア3に所要パターンのリード4が形成されており、このリードのインナーリード部に半導体素子1が接続される。前記リード4はCuで形成され、その表面にNi/Auメッキが施される。或いはCuに半田メッキを施してある。また、半導体素子1はバンプ11又はフリップチップ法によりリード4に接続される。そして、前記半導体素子1のTABテープ2側の部分は

10

2

タ33が一体的に構成されることになり、半導体装置の全体が剛体構造となる。このため、このような半導体装置を宇宙搭載機器に用いた場合には、機器に加えられる衝撃がそのままコネクタ33に伝達され、コネクタを相互に電気接続する導電体34の部分を破損してしまうおそれがある。また、衝撃に伴う振動がコネクタ33を介してTAB装置30内に伝達され、半導体素子31を損傷させ、或いは半導体素子31とTABテープ32との接続部分を損傷させるおそれもある。また、前記半導体装置では、コネクタ33を棒状に形成し、その棒内にTAB装置30を搭載しているため、半導体装置の全体高さを小さくできるものの、積層される半導体素子31が相互に対向配置されることになり、各半導体素子31で発生された熱が相互に影響を及ぼし合い、かつその熱がコネクタ33の内部に籠もって放熱効果が低くなり、半導体素子の耐熱性を劣化させるおそれもある。本発明の目的は、耐振動性を改善し、かつ耐熱性を改善して宇宙搭載機器への採用を可能にした半導体装置を提供することにある。

20

30

40

50

保護樹脂6により被覆され、かつこの保護樹脂6の周辺（ここでは対向する二辺）に前記リード4のアウターリード部を突出させている。

【0006】また、前記TAB装置10はモジュールプレート11に搭載される。モジュールプレート11は前記TAB装置10よりも若干厚い絶縁性の板材を前記TAB装置10よりも一回り大きな矩形に形成し、その周辺部を残した中央部分に凹部12を形成する。また、周辺部の対向二辺には、その表裏面にそれぞれ導体膜からなる接続用パターン13、14を形成している。これら表裏面の各接続用パターン13、14は、モジュールプレート11の厚さ方向に形成したスルーホール15により選択的に電気接続が行われる。また、周辺部の表面の2箇所には、後述するように複数個のモジュールプレート11を重ねる際の位置決めに利用される位置決めマーク16が設けられる。なお、モジュールプレート11の素材は耐熱性が高く、しかも可及的に熱伝導性の良いものが使用される。

【0007】そして、前記TAB装置10をモジュールプレート11に搭載する際には、TAB装置10をモジュールプレート11の凹部12内に位置させた上で、熱伝導性の高い接着剤17により半導体素子1の背面を凹部12の内面に接続する。また、TABテープ2の対向二辺に配列されているリード4のアウターリード部を半田等によりモジュールプレート11の表面側の接続用パターン13に接続する。これにより、TAB装置10とモジュールプレート11からなる単位ユニット20が構成される。

【0008】図3は前記した単位ユニット20を複数個積層して構成した半導体装置の部分分解斜視図であり、図4はその組立状態の断面図である。これらの図に示すように、半導体装置は、複数個の単位ユニット20を、それぞれの間に矩形枠状をした緩衝部材21を介挿させた状態で重ねている。この緩衝部材20は比較的厚い異方性導電性樹脂、或いは異方性導電性ゴムで形成され、横方向には絶縁状態を保ったまま上下方向にのみ電気を導通させる構成とされている。例えば、シリコン樹脂を矩形枠状に形成し、このシリコン樹脂に繊維状にカーボンを混合させて複数の導電部を配列形成した、所謂ゼブラコネクタを利用することもできる。

【0009】これらの緩衝部材21を複数の単位ユニット20間に介挿した上で、モジュールプレート11の接続用パターン13、14が存在しない辺領域において接着剤により上下のモジュールプレート11と緩衝部材21とを相互に接着し、機械的な接続を行うとともに、モジュールプレート11の接続用パターン13、14と緩衝部材21との当接により、緩衝部材21を挟む上下の単位ユニット20間の電気的な接続を行っている。また、このように組み立てられた半導体装置は、最下段に配設した単位ユニット20をマザーボード22に接着

し、接続用パターン14をマザーボード22の接続用パターン23に電気接続を行っている。

【0010】この構成の半導体装置によれば、複数個の半導体素子を積層した構成であるため、マザーボード22上に占める半導体素子の1つ当たりの占有面積を低減し、半導体装置の高密度化、大容量化が可能となる。また、各半導体素子1はTAB装置10として構成した上でモジュールプレート11に搭載して単位ユニット化しているため、任意の単位ユニット20を任意の数だけ用いて積層することで、必要な規模の半導体装置を容易に構成することができる。

【0011】更に、複数の単位ユニット20を積層する場合に、モジュールプレート11間に緩衝部材21を介挿しているため、例えば半導体装置に外部衝撃やこれに伴う振動が加えられた場合でも、この衝撃や振動を緩衝部材21の変形により吸収し、モジュールプレート11及びTAB装置10内の半導体素子1にまで伝達されることを緩和させる。これにより、モジュールプレート11やTAB装置10における接続部の損傷や半導体素子自体の損傷を防止し、耐振動性を改善することができる。

【0012】また、各単位ユニット20では、モジュールプレート11の凹部12内に半導体素子1を配設しているため、単位ユニット20を積層した場合でも、上下の半導体素子が直接対向配置されることなく、その間には必ずモジュールプレート11の底部が存在されることになる。このため、各半導体素子1で発生した熱が直接相互に影響し合うことはなく、また半導体素子1で発生した熱はモジュールプレート11を介してその側面から放熱されることになり、半導体素子が加熱されて損傷を受けることを防止し、半導体装置の耐熱性を改善することができる。これにより、この半導体装置を宇宙搭載機器に用いた場合でも、高寿命で高信頼性の機器を構成することができる。

【0013】なお、複数個の単位ユニットと緩衝部材とを積層してこれらを固定する構成として、マザーボードと最上の単位ユニットとの間を挟さみ込むクランバを用いてもよい。このクランバにより、各単位ユニットを機械的に接続し、かつ上下の単位ユニットと緩衝部材とを押圧させて電気的に接続する。このクランバを用いれば、接着により一体化する場合に比較して単位ユニットの交換が容易になり、メンテナンスに有利となる。

【0014】

【発明の効果】以上説明したように本発明は、モジュールプレートに半導体素子を搭載した構成の単位ユニットを複数ユニット積層し、かつ各単位ユニット間にはそれぞれの接続用パターンを相互に電気接続する異方性導電性の緩衝部材を介挿した構成としているので、半導体素子を積層構造に実装して実装密度を高める一方、単位ユニットに加えられる衝撃や振動を緩衝部材によって吸収

し、半導体素子に衝撃や振動が加えられるのを防止し、半導体装置の耐振動性を改善することができる。また、単位ユニットを構成するモジュールプレートに凹部を設け、この凹部内に半導体素子を内装しているため、単位ユニットを積層した場合でも各半導体素子が直接対向されず、半導体素子相互間の熱の影響が回避されるとともに、半導体素子で発生した熱をモジュールプレートを通して放熱することができ、半導体装置の耐熱性を改善することができる。

【図面の簡単な説明】

【図1】本発明の半導体装置にかかる単位ユニットの部分分解斜視図である。

【図2】図1の単位ユニットの平面図と断面図である。

【図3】複数個の単位ユニットで構成される半導体装置の部分分解斜視図である。

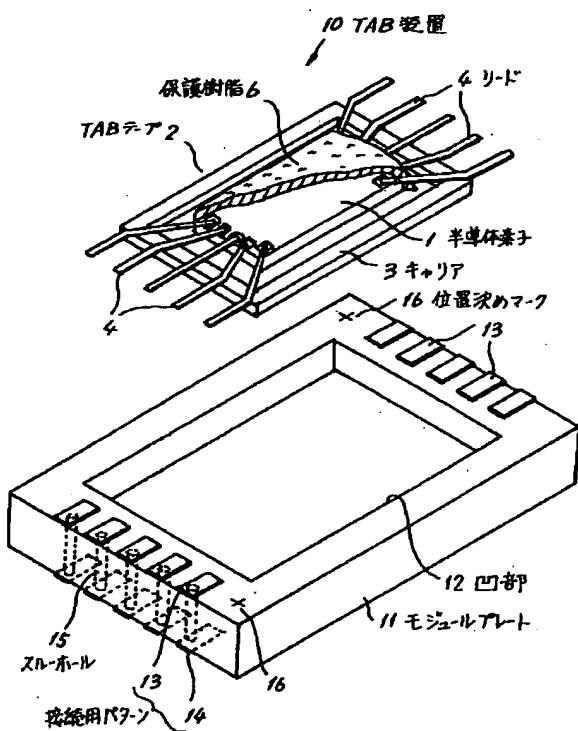
【図4】図3の半導体装置の組立状態の断面図である。

【図5】従来の積層構造の半導体装置の一例を示す断面図である。

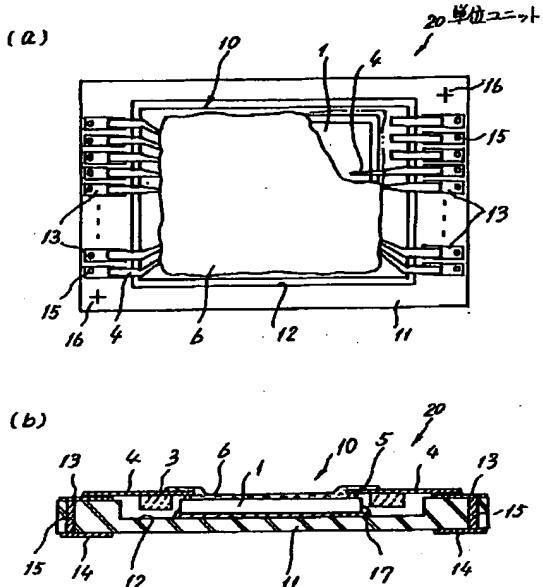
【符号の説明】

- 1 半導体素子
- 2 TABテープ
- 4 リード
- 10 TAB装置
- 11 モジュールプレート
- 12 凹部
- 13, 14 接続用パターン
- 20 単位ユニット
- 21 緩衝部材（異方性導電性樹脂又はゴム）
- 22 マザーボード
- 23 接続用パターン

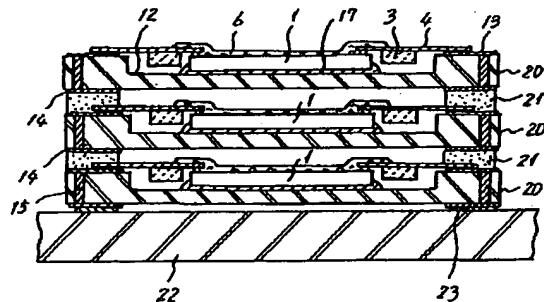
【図1】



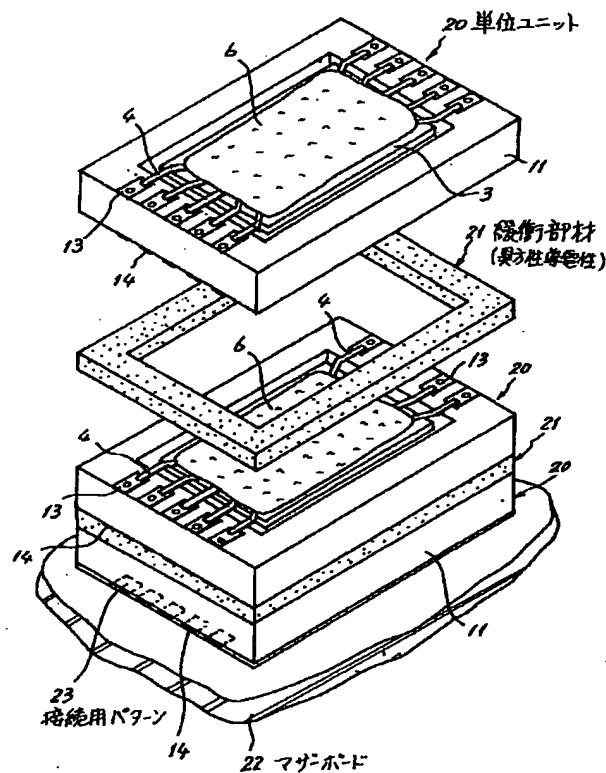
【図2】



【図4】



【図3】



【図5】

